

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-299254

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

H01L 21/205
C30B 29/38

(21)Application number : 2001-099211

(71)Applicant : TOYOTA CENTRAL RES & DEV LAB
INC
TOYODA GOSEI CO LTD

(22)Date of filing : 30.03.2001

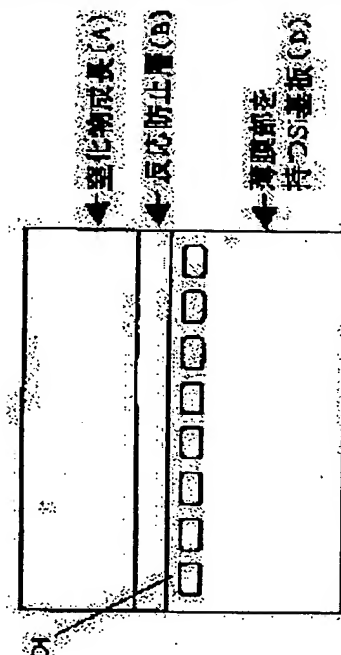
(72)Inventor : NAGAI SEIJI
TOMITA KAZUYOSHI
IROKAWA YOSHIHIRO
ITO KENJI

(54) MANUFACTURING METHOD FOR SEMICONDUCTOR WAFER AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently produce a high quality semiconductor crystal having little transition and no cracks or polycrystalline lump (high temperature reaction part) by using a comparatively inexpensive silicon as a base wafer.

SOLUTION: A reaction-proofing layer (crystalline material B) prevents the reaction of Si with a semiconductor (semiconductor crystal A) of gallium nitride such as GaN. By filming the reaction-proofing layer composed of SiC or AlN, for example, having a fusing point or thermal resistance higher than that of the semiconductor crystal A on the base wafer (Si wafer), even if the crystal A is grown at a high temperature for a long time, the high temperature reaction part is not formed near a silicon interface. Further, stress to be impressed the reaction-proofing layer is relaxed by a void or a membrane part. Therefore, since the reaction-proofing layer through the longitudinal direction can be formed without cracks, and the base wafer and the semiconductor crystal A can be shielded more surely so that the generation of the high temperature reaction part can be prevented more surely. Moreover, the transition density of the semiconductor crystal can be suppressed low by such a stress relaxing operation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] On the ground substrate which is characterized by providing the following and which was formed from silicon (Si) How to obtain a semiconductor substrate by growing up the semiconducting crystal A which consists of an III group nitride system compound semiconductor. The thin film section formation process which constitutes the aforementioned crystal-growth side of the aforementioned ground substrate from the thin film section which consists of silicon (Si) by preparing a cavity directly under the crystal-growth side of the aforementioned ground substrate. The reaction prevention stratification process which carries out the laminating of the reaction prevention layer which consists of the aforementioned semiconducting crystal A on the aforementioned thin film section from the crystalloid material B with high melting point or thermal resistance. The crystal-growth process which grows up the aforementioned semiconducting crystal A on the aforementioned reaction prevention layer

[Claim 2] As for the aforementioned semiconducting crystal A, an empirical formula fills " $\text{Al}_x \text{Ga}_y \text{In}_{1-x-y} \text{N}$ ($0 < x < 1$, $0 < y < 1$, $x+y < 1$)". The manufacture method of the semiconductor substrate according to claim 1 characterized by consisting of an III group nitride system compound semiconductor.

[Claim 3] The aforementioned crystalloid material B which forms the aforementioned reaction prevention layer is the manufacture method of the semiconductor substrate according to claim 1 or 2 characterized by consisting of carbonization silicon (SiC), aluminum nitride (AlN), or a spinel (MgAl_2O_4).

[Claim 4] The aforementioned crystalloid material B which forms the aforementioned reaction prevention layer is the manufacture method of the semiconductor substrate according to claim 1 or 2 characterized by an aluminum composition ratio consisting of at least 0.30 or more AlGaIn(s), AlInN, or AlGaInN.

[Claim 5] The manufacture method of a semiconductor substrate given in any 1 term of the claim 1 characterized by forming the thickness of the aforementioned reaction prevention layer in 0.1 micrometers or more and 2 micrometers or less, or a claim 4.

[Claim 6] The manufacture method of a semiconductor substrate given in any 1 term of the claim 1 characterized by having the process which forms in the front face of the aforementioned reaction prevention layer buffer-layer C which consists of " $\text{Al}_x \text{Ga}_{1-x} \text{N}$ ($0 < x < 1$)" after the aforementioned reaction prevention stratification process, or a claim 5.

[Claim 7] The manufacture method of the semiconductor substrate according to claim 6 characterized by forming the thickness of the aforementioned buffer-layer C in 0.01 micrometers or more and 1 micrometer or less.

[Claim 8] The manufacture method of a semiconductor substrate given in any 1 term of the claim 1 characterized by to have the partition stage which separates the aforementioned semiconducting crystal A and the aforementioned ground substrate by generating the stress based on the coefficient-of-thermal-expansion difference of the aforementioned semiconducting crystal A and the aforementioned ground substrate, and fracturing the side attachment wall of the aforementioned cavity using this stress by cooling or heating the aforementioned semiconducting crystal A and the aforementioned ground substrate, or a claim 7.

[Claim 9] The manufacture method of a semiconductor substrate given in any 1 term of the claim 1 characterized by carrying out 50-micrometer or more laminating of the aforementioned semiconducting crystal A in the aforementioned crystal-growth process, or a claim 8.

[Claim 10] The aforementioned thin film section formation process is the manufacture method of

physical or a semiconductor substrate given in any 1 term of the claim 1 which has the crevice formation process established by chemical-etching processing, and is characterized by to form the aforementioned cavity and the aforementioned thin film section by the migration operation near the front face of the aforementioned ground substrate based on 1000 degrees C - 1350 degrees C heat treatment, or a claim 9 about the aforementioned cavity which the upper part opened to the silicon crystal which constitutes the aforementioned ground substrate.

[Claim 11] The manufacture method of a semiconductor substrate given in any 1 term of the claim 1 or claim 9 characterized by providing the following. The aforementioned thin film section formation process is an ion-implantation process which pours ion into the silicon crystal which offers the aforementioned thin film section. The crevice formation process of establishing the aforementioned cavity which the upper part opened by physical or chemical etching processing in the silicon crystal which constitutes portions other than the aforementioned thin film section of the aforementioned ground substrate. The junction process which joins the aforementioned thin film section to the aforementioned crevice with heat treatment. The ablation process which exfoliates the aforementioned thin film section by making the pouring section of the aforementioned ion into a separation interface.

[Claim 12] The manufacture method of a semiconductor substrate given in any 1 term of the claim 1 characterized by setting to 0.1 micrometers or more and 10 micrometers or less the height of the aforementioned cavity formed in the aforementioned thin film section formation process, or a claim 11.

[Claim 13] It is characterized by having the aforementioned semiconductor substrate manufactured by any 1 term of a claim 1 or a claim 12 using the manufacture method of the semiconductor substrate a publication as a crystal-growth substrate. III group nitride system compound semiconductor element.

[Claim 14] It is characterized by what was manufactured by the crystal growth which used as the crystal-growth substrate the aforementioned semiconductor substrate manufactured by any 1 term of claim 1 or a claim 12 using the manufacture method of the semiconductor substrate a publication. III group nitride system compound semiconductor element.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention is on the ground substrate formed from silicon (Si). By growing up the crystal which consists of an III group nitride system compound semiconductor, it is related with the method of obtaining a semiconductor substrate. Moreover, this invention is manufactured considering such a semiconductor substrate as a crystal-growth substrate. It is related with III group nitride system compound semiconductor element.

[0002]

[Description of the Prior Art] The typical cross section of the conventional semiconducting crystal which carried out the crystal growth to drawing 4 on Si substrate (ground substrate) is illustrated. The MOCVD method was adopted as this crystal-growth process. in the semiconducting crystals (GaN crystal etc.) which are illustrated to this drawing 4 and which carried out elevated-temperature growth on Si substrate (ground substrate) by the Prior art, the "reaction section", transposition, a crack, etc. have arisen like

[0003]

[Problem(s) to be Solved by the Invention] Transposition and a crack cause degradation of a device property, when it is generated as a result of the operation of stress generated based on the coefficient-of-thermal-expansion difference and lattice constant difference between dissimilar materials and various kinds of semiconductor devices by such crystal-growth substrate are manufactured. Moreover, when the ground substrate which consists, for example of silicon (Si) etc. tends to be removed, it is going to leave only a growth phase and it is going to obtain the independent substrate (crystal), it is almost impossible to obtain the thing of a large area (more than 1cm²) by operation of the above-mentioned transposition, a crack, etc.

[0004] Moreover, near 1000 degrees C - 1150 degree C which is the crystal-growth temperature of the target semiconductor substrate (semiconducting crystal A), silicon (Si) and a gallium nitride (GaN) may react and GaN ("reaction section" in drawing) of a polycrystal may be formed. For this reason, there is a problem without easy obtaining the GaN substrate of a single crystal through a hot crystal-growth process.

[0005] Moreover, although the method which used as the crystal-growth substrate independently the thin film of the silicon which the above-mentioned stress cannot produce easily is also reported in order to obtain the GaN substrate of a single crystal, since it is easy to damage these thin films, it is not easy to handle a thin film directly before a crystal-growth start, therefore it is difficult [it] to mass-produce the semiconductor substrate of a large area with the sufficient yield by these conventional methods.

[0006] Accomplishing this invention in order to solve the above-mentioned technical problem, the purpose is producing efficiently a quality semiconducting crystal without a crack or a polycrystal lump (reaction section), using comparatively cheap silicon (Si) as a ground substrate. Moreover, the further purpose of this invention is manufacturing a quality semiconductor device by using the above-mentioned semiconducting crystal manufactured with high quality as a crystal-growth substrate.

[0007]

[A The means for solving a technical problem, an operation, and an effect of the invention] The following meanses are effective in order to solve the above-mentioned technical problem. Namely, the 1st means of this invention is set to the manufacturing process of a semiconductor substrate into which the semiconducting crystal A which consists of an III group nitride system compound semiconductor on the ground substrate formed from silicon (Si) is grown up. The thin film section formation process which

constitutes the crystal-growth side of a ground substrate from the thin film section which consists of silicon (Si) by preparing a cavity directly under the crystal-growth side of the above-mentioned ground substrate. It is establishing the reaction prevention stratification process which carries out the laminating of the reaction prevention layer which consists of a semiconducting crystal A on the thin film section from the crystalloid material B with high melting point or thermal resistance, and the crystal-growth process which grows up a semiconducting crystal A on a reaction prevention layer.

[0008] However, even if the above-mentioned semiconductor substrate which consists of above-mentioned semiconducting crystals A is monolayer structure, it may be a double layer structure (multilayer structure). moreover, to general "III group nitride system compound semiconductor" said here The semiconductor of the arbitrary mixed-crystal ratios expressed with 2 yuan, 3 yuan, or 4 yuan the general formula which " $Al_x Ga_y In_{(1-x-y)} N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) N" Chang is contained. Furthermore, also let the semiconductor with which p type or the n type impurity was added be the criteria of the "III group nitride system compound semiconductor" of this specification.

Moreover, the above Let the semiconductor which replaced the part of the III group elements (aluminum, Ga, In) with boron (B), the thallium (Tl), etc., or replaced some nitrogen (N) by Phosphorus (P), arsenic (As), antimony (Sb), the bismuth (Bi), etc. be the criteria of the "III group nitride system compound semiconductor" of this specification.

[0009] moreover — as the impurity of the above-mentioned p type — magnesium (Mg) — or calcium (calcium) etc. can be added Moreover, as an impurity of the above-mentioned n type, silicon (Si), sulfur (S), a selenium (Se), a tellurium (Te) or germanium (germanium), etc. can be added, for example.

Moreover, these impurities may add two or more elements simultaneously, and may add both molds (p type and n type) simultaneously.

[0010] Drawing 1 is a typical cross section in the manufacturing process of the semiconducting crystal which explains the fundamental concept of this invention in instantiation. This reaction prevention layer is for preventing the reaction of Si and the semiconductor (semiconducting crystal A) of a gallium-nitride system. Thus, by forming the reaction prevention layer (crystalloid material B) with the melting point or thermal resistance higher than the semiconductor of a gallium-nitride system which consists, for example of SiC, AlN, etc. on a ground substrate (Si substrate) When carrying out the crystal growth of the semiconductor (semiconducting crystal A) of a gallium-nitride system at an elevated temperature for a long time, it is lost that the aforementioned "reaction section" is formed near a silicon interface.

[0011] Moreover, since a thin film is formed in the crystal-growth side side of silicon (Si substrate) by forming a cavity, it is hard coming to work like and, therefore, the crack which forms a crack in a reaction prevention layer and which was penetrated to lengthwise stops easily easing the stress which acts on a reaction prevention layer, and being able to generate such stress in a reaction prevention layer. For this reason, in a reaction prevention layer without the crack penetrated to lengthwise, since a ground substrate (Si substrate) and the semiconductor (semiconducting crystal A) of a gallium-nitride system can be intercepted more certainly, generating of the above "reaction sections" can be prevented more certainly.

[0012] Moreover, since "the stress based on the lattice constant difference between a ground substrate and a semiconductor substrate" is eased by the above-mentioned thin film section or an above-mentioned cavity, in case a semiconductor substrate (the desired semiconducting crystal A) is grown up, the unnecessary stress committed to the semiconductor substrate under growth is suppressed, and the generating density of transposition or a crack is reduced. namely, the above stress relaxation operation — the semiconductor (semiconducting crystal A) of a gallium-nitride system — transposition — generating — being hard — moreover, the generating density of a crack is also boiled markedly and can be cut down

[0013] It becomes possible [obtaining the quality semiconductor substrate (semiconducting crystal A) without "the above-mentioned reaction section" and an above-mentioned crack by which dislocation density was suppressed enough according to the above operation and the synergistic effect], or easy.

[0014] Moreover, in the 1st means of the above [the 2nd means], an empirical formula fills " $Al_x Ga_y In_{(1-x-y)} N$ ($0 \leq x < 1$, $0 < y \leq 1$, $x+y \leq 1$)" for the above-mentioned semiconducting crystal A. It is constituting from an III group nitride system compound semiconductor.

[0015] Moreover, the 3rd means is constituting the crystalloid material B which forms the above-mentioned reaction prevention layer from carbonization silicon (SiC), aluminum nitride (AlN), or a spinel (MgAl₂O₄) in the above 1st or the 2nd means.

[0016] Moreover, the 4th means is that an aluminum composition ratio constitutes the crystalloid material B which forms the above-mentioned reaction prevention layer from at least 0.30 or more

AlGaIn(s), AlInN, or AlGaInN in the above 1st or the 2nd means. Furthermore, it is desirable to choose : comparatively firm heat-resistant (melting point) stable high material of bonding strength as a crystallo material B.

[0017] Moreover, the 5th means is forming the thickness of the above-mentioned reaction prevention layer in 0.1 micrometers or more and 2 micrometers or less in any the above 1st or 4th one means. If this thickness is too thin, since nonuniformity will follow on thickness, or since the above-mentioned crystallo material B which forms a reaction prevention layer is not the matter stable enough, it becomes impossible to intercept completely a gallium (Ga) or a gallium nitride (GaN), and silicon (Si). Therefore, the effect of preventing formation of "the reaction section (GaN of a polycrystal)" based on these reactions is no longer acquired fully.

[0018] When the thickness of a reaction prevention layer is too thick, a crack becomes easy to go into reaction prevention layer, and it becomes impossible moreover, to intercept completely a gallium (Ga) or a gallium nitride (GaN), and silicon (Si). Therefore, the effect of preventing formation of the "reaction section" based on these reactions is no longer acquired fully. Moreover, if the thickness of a reaction prevention layer is too thick, since only the part is too many needed, it is not desirable in respect of a production cost etc. [of the laminating time or the charge of plywood of a reaction prevention layer]

[0019] Moreover, the 6th means is establishing the process which forms buffer-layer C which consists of " $\text{Al}_x \text{Ga}_{1-x} \text{N}$ ($0 < x \leq 1$)" on the front face of a reaction prevention layer after the reaction prevention layer formation process of any the above 1st or 5th one means.

[0020] However, the above-mentioned buffer-layer C is semiconductor layers which grow near about 1100 degree C, such as AlN and AlGaIn. Buffer-layer C of another further the above [C / buffer-layer , this], and the interlayer of **** composition (example : AlN and AlGaIn) (it may only be hereafter called a "buffer layer") other layers periodic in the target semiconductor substrate (semiconducting crystal A) or, and alternation — or you may carry out a laminating so that multilayer structure may be constituted

[0021] The same operation principle as the former of being able to ease the stress committed to the semiconductor substrate (growth phase) resulting from a lattice constant difference by the laminating of these buffer layers (or interlayer) enables it to raise crystallinity. Moreover, in the case of carbonization silicon (SiC) etc., such an operation and an effect have the especially remarkable crystallo material B which constitutes a reaction prevention layer. That is, it is more desirable to form buffer-layer C on a reaction prevention layer in this case.

[0022] Moreover, the 7th means is forming the thickness of buffer-layer C in 0.01 micrometers or more and 1 micrometer or less in the 6th above-mentioned means. 0.02 micrometers or more and 0.5 micrometers or less are good more desirably.

[0023] It leads [become easy to generate a crack and / to a cost rise] in respect of production time, material, etc. and is not desirable if this thickness is too thick. Moreover, if this thickness is made thin too much, it will become difficult to form a buffer layer to abbreviation homogeneity. for this reason, the membrane formation nonuniformity (part which is not fully formed) of a buffer layer — being generated — being easy — since it becomes easy to produce nonuniformity also in crystallinity, it is not desirable

[0024] Moreover, the 8th means is preparing the partition stage which separates a semiconducting crystal A and a ground substrate by setting for any the above 1st or 7th one means, generating the stress based on the coefficient-of-thermal-expansion difference of a semiconducting crystal A and a ground substrate by cooling or heating a semiconducting crystal A and a ground substrate, and fracturing the side attachment wall of a cavity using this stress.

[0025] For example, if a semiconductor substrate (semiconducting crystal A) is made thick enough, it will become easy to act on the side attachment wall of the cavity of the above [internal stress or external stress] intensively. When the result, especially such stress act as shearing stress to the side attachment wall of a cavity etc. and this stress becomes large, the thin film section exfoliates. Therefore, if this stress is used, it will become possible to separate a ground substrate and a semiconductor substrate easily. Moreover, it becomes easy to concentrate stress (shearing stress) on the side attachment wall of a cavity, so that the above-mentioned "cavity" is formed greatly. That is, according to the 9th above-mentioned means, since the above-mentioned stress is easily generable, a semiconducting crystal A and a ground substrate are easily separable.

[0026] In addition, in case a ground substrate and a semiconductor substrate are separated (exfoliation), a part of ground substrate (thin film section, fracture wreckage of the side attachment wall of a cavity, etc.) may remain in a semiconductor substrate side. Namely, the above-mentioned partition stage is not premised on perfect separation of each material which makes a part of such material there be nothing (requirement). Removal of such fracture wreckage etc. can be carried out using the means of common

knowledge, such as wrapping and etching, if needed.

[0027] Moreover, the 9th means is carrying out 50-micrometer or more laminating of the semiconducting crystal A in the above 1st or the crystal-growth process of any 8th one means. Since the hauling stress to a semiconductor substrate (semiconducting crystal A) is eased, the generating density of the dislocation of a semiconductor substrate or a crack can be decreased and a semiconductor substrate can be simultaneously strengthened so that this thickness is thick, it become that it is easy to centralize the above-mentioned stress on the above-mentioned side attachment wall

[0028] Moreover, the thickness of the thin film section has desirable 20 micrometers or less. The hauling stress to a semiconductor substrate (semiconducting crystal A) is eased, and the generating density of the dislocation of a semiconductor substrate or a crack decreases, so that this thickness is thin. However, if thickness of the thin film section is set to less than 0.02 micrometers, a problem will arise about the intensity of the thin film section, and it will become difficult to maintain high productivity. Therefore, in order to secure the quality and the productivity of a crystal-growth substrate to manufacture, the thickness of the thin film section has 0.02 micrometers or more desirable 20 micrometers or less.

[0029] Moreover, as for the thickness of a semiconducting crystal to carry out a crystal growth, relatively, it is desirable to carry out to more than abbreviation equivalent with the thickness of the thin film section. the stress to a desired semiconducting crystal eases by such setup -- having -- being easy -- it becomes possible to suppress generating of dislocation or a crack more sharply than before. This stress. Moreover, this stress

[0030] Moreover, the 10th means is physical or establishing the crevice formation process established by chemical etching processing, and forming a cavity and the thin film section by the migration operation near the front face of a ground substrate based on 1000 degrees C - 1350 degrees C heat treatment in the thin film section formation process of any the above 1st or 9th one means about the cavity which the upper part opened to the silicon crystal which constitutes a ground substrate.

[0031] Moreover, the 11th means is set at the thin film section formation process of any the above 1st or 9th one means. The ion-implantation process which pours ion into the silicon crystal which offers the thin film section. The cavity which the upper part opened to the silicon crystal which constitutes portions other than the thin film section of a ground substrate with physical or the crevice formation process established by chemical etching processing, and heat treatment. It is establishing the junction process which joins the thin film section to a crevice, and the exfoliation process which exfoliates the thin film section by making the pouring section of ion into a separation interface.

[0032] The "thin film section formation process" of this invention is possible or easy to carry out concretely enough by the above 10th or the 11th means at least. However, the "thin film section formation process" of this invention must be limited to these means, must not be carried out, and may be carried out by the other suitable arbitrary methods. Also in such a case, it is possible to acquire an operation and effect of this invention more than fixed.

[0033] Moreover, the 12th means is setting to 0.1 micrometers or more and 10 micrometers or less the height of the above-mentioned cavity formed in the thin film section formation process of any the above 1st or 11th one means. The height of this cavity has good about 0.5-5 micrometers more desirably. If this value is too large, since in intensity will become unstable [formation of the pillar supporting the hole which constitutes a cavity, a slot, or a cavity] or processing will become difficult or inefficient gradually, it is not desirable. Moreover, floor to floor time also becomes long and its productivity does not improve. Moreover, since it becomes easy to combine the thin film section with the base of a cavity and it becomes impossible to form a cavity certainly when this value is too small, it is not desirable.

[0034] Moreover, in the 13th means and III group nitride system compound semiconductor element, it is having the semiconductor substrate manufactured by any the above 1st or 12th one means as a crystal-growth substrate. According to this means, it becomes crystallinity is good and more possible [manufacturing III group nitride system compound semiconductor element] than a semiconductor with little internal stress, or easy.

[0035] Moreover, the 14th means is the crystal growth using the semiconductor substrate manufactured by any the above 1st or 12th one means as a crystal-growth substrate. It is manufacturing III group nitride system compound semiconductor element. According to this means, it becomes crystallinity is good and more possible [manufacturing III group nitride system compound semiconductor element] than a semiconductor with little internal stress, or easy. The aforementioned technical problem is rationally [effectively or] solvable with the means of the above this invention.

[0036]

[Embodiments of the Invention] You may choose each manufacture conditions as arbitration out of a degree in carrying out this invention, respectively. Moreover, you may combine each of these manufacture conditions arbitrarily. First, as a method of forming an III group nitride system compound semiconductor layer first, an organic-metal vapor growth (MOCVD or MOVPE) is desirable. However, a molecular-beam vapor growth (MBE), a halide vapor growth (Halide VPE), a liquid phase grown method (LPE), etc. may be used, and each class may be formed by the respectively different growth method. [0037] Moreover, about a buffer layer, it is desirable to form in the inside of a crystal-growth substrate or a ground substrate from the reason of correcting grid mismatching. III group nitride system compound semiconductor $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) made to form at low temperature as these buffer layers when carrying out the laminating of the buffer layer (the aforementioned interlayer) into a semiconductor substrate (semiconducting crystal A) especially — $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) can be used more preferably A monolayer is sufficient as this buffer layer, and it is good also as a multiplex layer which is [composition] different. The formation method of a buffer layer may be formed at 380–420-degree C low temperature, and the range of it is 1000–1180 degrees C conversely, and it may be formed by the MOCVD method. Moreover, the buffer layer which consists of AlN by the reactive spatte method can also be formed using DC magnetron-sputtering equipment by making high grade metal aluminum and nitrogen gas into raw material.

[0038] The buffer layer of general formula $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$, and a composition ratio are arbitrary) can be formed similarly. Furthermore, a vacuum deposition, the ion plating method, the laser ablation method, and the efficient consumer response method can be used. As for the buffer layer by the physical vapor deposition, it is desirable to carry out at 200–600 degrees C. It is 300–600 degrees C still more desirably, and is 350–450 degrees C still more desirably. When physical vapor depositions, such as these sputtering methods, are used, buffer layer thickness has desirable 100–3000Å. Still more desirably, 100–400Å is desirable and is 100–300Å most desirably.

[0039] There is the method of forming by turns as 600 degrees C or less and 1000 degrees C or more in formation temperature about the layer with the same composition which forms by turns the layer which consists, for example of $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$), and a GaN layer as a multiplex layer. Of course, these may be combined and a multiplex layer may carry out the laminating of three or more sorts of III group nitride system compound semiconductor $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$). Generally the buffer coat is amorphous and an interlayer is a single crystal. A buffer coat and an interlayer may be formed a term two or more rounds as one period, and a repeat is good an arbitrary period. Crystallinity becomes good, so that there are many repeats.

[0040] Whether it replaces a part of composition of an III group element with boron (B) and a thallium (Tl) or the III group nitride system compound semiconductor of a buffer layer and the upper layer replaces composition of nitrogen (N) part by Phosphorus (P), the arsenic (As), antimony (Sb), and the bismuth (Bi), it can apply this invention substantially. Moreover, what doped the grade which cannot display these elements on composition may be used. For example, $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) which is the III group nitride system compound semiconductor which does not have an indium (In) and an arsenic (As) in composition may be compensated for the extended distortion of the crystal by the omission of a nitrogen atom with compressive strain with doping the big indium (In) of an atomic radius from aluminum (aluminum) and a gallium (Ga), and doping the big arsenic (As) of an atomic radius from nitrogen (N), and crystallinity may be

[0041] In this case, since acceptor impurity goes into the position of an III group atom easily, p type crystal can also be obtained by the AZUGU loan. Thus, together with the invention in this application, penetration transposition can also be further lowered to 100 or about 1/1000 by improving crystallinity. In the case of the basal layer in which the buffer layer and the III group nitride system compound semiconductor layer are formed two or more periods, it is still better for each III group nitride system compound semiconductor layer to dope an element with a bigger atomic radius than a main composition element. In addition, when it constitutes as a light emitting device, it is desirable to use the 2 yuan system of an III group nitride system compound semiconductor or a 3 yuan system originally.

[0042] When forming an n type III group nitride system compound semiconductor layer, IV group elements, such as Si, germanium, Se, Te, and C, or VI group element can be added as an n type impurity. Moreover, as a p type impurity, II group elements, such as Zn, Mg, Be, calcium, Sr, and Ba, or IV group element can be added. You may dope plurality or n type impurity, and p type impurity for these in the same layer.

[0043] It is also arbitrary to reduce the transposition of an III group nitride system compound semiconductor layer using longitudinal direction epitaxial growth. Under the present circumstances, the

method of the thing using a mask and the thing arbitration which buries a level difference by etching can be taken.

[0044] An etching mask can be with oxides, such as polycrystal semiconductors, such as polycrystal silicon and a polycrystal nitride semiconductor, oxidization silicon (SiO_x), a silicon nitride (SiN_x), titanium oxide (TiO_x), and a zirconium oxide (ZrO_x), a nitride, titanium (Ti), refractory metals like a tungsten (W) and these multilayers. These membrane formation methods are arbitrary besides vapor growths, such as vacuum evaporation, a sputter, and CVD.

[0045] Although reactant ion beam etching (RIE) is desirable in case it etches, the arbitrary etching methods can be used. As what does not form the level difference which has the side perpendicular to a substrate side, the cross section which does not have a base in the pars basilaris ossis occipitalis of a level difference by anisotropic etching may form a V character-like thing.

[0046] Semiconductor devices, such as FET and a light emitting device, can be formed in an III group nitride system compound semiconductor. In the case of a light emitting device, although a luminous layer can consider the thing of a quantum well structure besides multiplex quantum well structure (MQW) and single quantum well structure (SQW), hetero structure, and double hetero structure, you may form by the pin junction or pn junction.

[0047] Hereafter, this invention is explained based on a concrete example. However, this invention is not limited to the example shown below.

(The 1st example) The outline of the manufacture procedure of the semiconducting crystal (crystal-growth substrate) in the example of this invention is illustrated hereafter.

[0048] [1] About the cavity which the upper part opened to the silicon crystal which constitutes a ground substrate, establish the crevice formation process established by chemical etching processing, and a thin film section formation process book manufacturing process is physical or a thing which forms a cavity and the thin film section by the migration operation near the front face of a ground substrate based on 1000 degrees C - 1200 degrees C heat treatment after that further.

[0049] (a) the crevice formation Si (111) substrate on a silicon substrate -- plasma CVD equipment -- using -- SiO_2 a film -- about 1 micrometer -- forming membranes -- SiO_2 a membranous part and membranous Si substrate -- photo lithography and RIE -- patterning -- and it *****s and many holes with a diameter [of about 0.8 micrometers] and a depth of about 3 micrometers are produced in a cycle of 1.2 micrometer (interval) on Si (111) substrate front face Then, above SiO_2 A film is removed by B-HF.

[0050] (b) They are migration, next Si substrate in which this crevice was formed H_2 In atmosphere, by heat-treating at 1100 degrees C, migration of the Si atom is carried out on a substrate front face, and the thin film section (membrane) of about 1 micrometer of thickness is formed above a crevice. That is, the cavity of a large number which are illustrated by drawing 1 is formed by closing the upper part of the above-mentioned crevice in this thin film section D1. Then, it is a front face by carrying out wet oxidization of the obtained substrate at 1150 degrees C SiO_2 It is made to change and thickness of Si thin film section which remains is set to about 0.1 micrometers.

[0051] (c) SiO_2 of after that [washing] and the above A film is removed by buffered fluoric acid. The Si substrate D which has a cavity which is illustrated to drawing 1, and the thin film section D1 by above process (a) - (c) was manufactured.

[0052] [2] A reaction prevention stratification process book reaction prevention stratification process is a manufacturing process which carries out the laminating of the reaction prevention layer on the ground substrate (Si substrate D) which has the above-mentioned thin film section D1. At this reaction prevention stratification process, about 1 micrometer of reaction prevention layers B which consist of aluminum nitride (AlN) at about 1100 degrees C is first formed by the vapor growth (MOVPE) on the crystal-growth side (thin film section D1) of Si (111) substrate.

[0053] [3] Carry out a growth process until a semiconducting crystal A (GaN) grows up to be the thick film which is about 200 micrometers on the above-mentioned reaction prevention layer B at this crystal-growth process after that [crystal-growth process] according to an organometallic compound vapor growth (the MOVPE method). In addition, at this crystal-growth process, it is ammonia (NH_3). Gas, carrier gas (H_2 , N_2), trimethylgallium ($\text{Ga}(\text{CH}_3)_3$) gas (it is described as "TMG" below), and trimethylaluminum (aluminum3 (CH_3)) gas (it is described as "TMA" below) are used.

[0054] On the above-mentioned reaction prevention layer B, the crystal growth of about about 200 micrometers (semiconducting crystal A) of the GaN layers was carried out according to the MOVPE method. The rate of crystal growth of the GaN layer in this MOVPE method is about about 30 micrometer/Hr.

[0055] [4] Partition stage (a) The wafer which has a ground substrate (Si substrate) is cooled to abbreviation ordinary temperature after the above-mentioned crystal-growth process, passing ammoniac (NH₃) gas to the reaction chamber of crystal-growth equipment. What is necessary is just to make the cooling rate at this time into the “-50 degree-C/min--5 degree C/min” grade in general.

[0056] (b) When these were taken out from the reaction chamber of crystal-growth equipment after that, the GaN crystal (semiconducting crystal A) which exfoliated from the ground substrate (Si substrate) was obtained. However, this crystal is a thing [that the fracture wreckage of the side attachment wall of the thin film section D1 or the above-mentioned cavity has remained at the rear face of a GaN layer (semiconductor substrate)].

[0057] [5] Remove the fracture wreckage of the side attachment wall of the thin film section D1 or the above-mentioned cavity which consists of Si which remained in the rear face of a GaN crystal by wrapping processing after the partition stage of the wreckage removal process above. However, you may carry out this wreckage removal process by etching processing using the mixed liquor which added the nitric acid to fluoric acid. Moreover, you may remove even the reaction prevention layer B.

[0058] By the above manufacture method, the semiconductor substrate (semiconducting crystal A) of the good GaN crystal of the crystallinity of about 200 micrometers of thickness which was very excellent (GaN layer), i.e., the request which became independent of a ground substrate, can be obtained. That is, the single crystal of the gallium nitride (GaN) without GaN polycrystal (reaction section) or a crack which was excellent in crystallinity conventionally can be obtained by the manufacture method of the above semiconducting crystal.

[0059] Therefore, if such a good single crystal is used as a part of semiconductor light emitting devices, such as for example, a crystal-growth substrate, it will become luminous efficiency is high or possible [manufacturing semiconductor products with which driver voltage was suppressed conventionally, such as a quality semiconductor light emitting device and a semiconductor photo detector,], or easy. Moreover, if such a good single crystal is used, not only a light-corpuscle child but manufacture of the so-called semiconductor electronic devices, such as a semiconductor RF element which operates to a pressure-resistant high semiconductor power element and pressure-resistant high frequency, can be made possible or easy.

[0060] In addition, between a reaction prevention stratification process and a crystal-growth process, you may establish the buffer stratification process of performing a crystal growth at the elevated temperature of 1000 degrees C - about 1180 degrees C in order to correct lattice constant mismatching.

[0061] Moreover, in the above-mentioned example, although the thin film section of a ground substrate is formed by preparing many cavities near the crystal-growth side of a ground substrate as illustrated to drawing 1, you may form these from a series of cavities. You may form the cavity of this invention by following, for example, forming an one tubular tunnel type cavity precisely [it is long and slender and] to the shape of a whorl. Above-mentioned drawing 1 can also be interpreted as a cross section of a ground substrate with the cavity constituted such. That is, generally about the formation gestalt of the cavity aiming at forming the thin film section of a ground substrate, the configuration, a size, an interval, arrangement, orientation, etc. are arbitrary.

[0062] (The 2nd example) **** 2 example transposes the thin film section formation process of the 1st above-mentioned example to the following “thin film section formation processes”, and does not have the need of making a special change, about other processes. Hereafter, by this example, only the “thin film section formation process” at which a method is different from each other is explained to be the 1st above-mentioned example.

[0063] [1] The ion-implantation process which pours ion into the silicon crystal whose thin film section formation process book manufacturing process offers the thin film section, The cavity which the upper part opened to the silicon crystal which constitutes portions other than the thin film section of a ground substrate Physical or the crevice formation process established by chemical etching processing, A cavity and the thin film section are formed according to the junction process which joins the thin film section to a crevice with heat treatment, and the ablation process which exfoliates the thin film section by making the pouring section of ion into a separation interface.

[0064] (a) Pour a hydrogen ion into the silicon crystal (Si (111) substrate) which offers the ion-implantation process thin film section D1 by incidence energy 4keV and the dose 2×10^{16} to 1×10^{17} [cm⁻²]. Drawing 2 is the graph which illustrated the number of pouring ion to the depth into which ion is poured in **** 2 example (density). Near the ion-implantation side of a silicon crystal, a high ion-implantation layer is locally formed for ion density so that it may understand also from this view.

[0065] (b) crevice formation process one side and another Si (111) substrate (equivalent to the sign D of drawing 1) — plasma CVD equipment — using — SiO₂ a film — about 1 micrometer — forming membranes — SiO₂ a membranous part and membranous Si substrate — photo lithography and RIE — patterning — and it *****s and many pillars with a diameter [of about 0.6 micrometers] and a height of about 3 micrometers are created in a cycle of about 2 micrometer (interval) in Si substrate front face

[0066] (c) Join perpendicularly a junction process, next the ion-implantation side of the silicon crystal which offers the above-mentioned thin film section D1 to many pillars of the above-mentioned Si substrate front face.

[0067] (d) By heat-treating at 500 degrees C of ablation processes, make the silicon crystal which offers the above-mentioned thin film section D1 in the ion-implantation section separate, and form the cavity closed in the thin film section D1 up.

[0068] The Si substrate D which has a cavity which is illustrated to drawing 1, and the thin film section D1 by above process (a) - (d) was manufactured.

[0069] Hereafter, it attaches and illustrates in the range in which deformation of the operation form of the 2nd above-mentioned example is possible. For example, even if it uses (helium+) instead of a hydrogen ion (H+), the 2nd above-mentioned example, and the same same operation and effect as abbreviation can be acquired.

[0070] Moreover, although the dose of a hydrogen ion is dependent on the quality of the material of a ground substrate etc., it is effective in the range of 1×10^{15} [/cm²] - 1×10^{20} [/ cm²] in general, and can acquire the same operation and effect as the above and abbreviation under this condition. It is more desirable, 3×10^{15} to 1×10^{17} [/cm²] grade is at best still more desirable, and the dose of a hydrogen ion has 8×10^{15} - good 2×10^{16} [/cm²] grade.

[0071] Moreover, if this value is too small, it will become difficult to make the thin film section D1 separate from the silicon crystal which offers the thin film section D1 certainly. moreover — if this value is too large — the damage to the thin film section D1 — large — becoming — a ground substrate to the thin film section D1 — abbreviation — it becomes difficult to make it separate into the configuration finely connected by uniform thickness

[0072] Moreover, it is also possible to control the thickness of the thin film section separated from a ground substrate by making incidence energy adjustable. The measurement result of the depth (depth [of the maximum density] h) in which the ion to the pouring energy of ion is poured into drawing 3 is illustrated. For example, the depth (depth [of the maximum density] h) in which ion is poured into this appearance can control the thickness of the thin film section suitably by adjusting incidence energy (acceleration voltage) to the pouring energy of ion, since it carries out proportionally [abbreviation].

[0073] Moreover, while forming the partial fracture section (void) in an ion-implantation layer beforehand by heat-treating after an ion implantation, the crystallinity of the ion-implantation section of a ground substrate which received the damage by ion irradiation can be recovered. Moreover, the crystallinity of the semiconductor which grows on it can be raised with heat treatment to the thin film section D1 at the time of the porosi.

[0074] Moreover, the thickness of the thin film section D1 has desirable 20 micrometers or less. The tensile stress to the target semiconducting crystal is eased, and the generating density of transposition or a crack decreases, so that this thickness is thin. Therefore, it is more desirable, 2 micrometers or less are at best still more desirable, and the thickness of the thin film section has good 200nm or less. What is necessary is just to adjust the pouring energy (acceleration voltage) of ion according to above-mentioned drawing 3 etc. so that the peak of the number of pouring ion may become the depth of this level in order to realize these values. However, if an ion-implantation layer becomes thick, since it will be hard coming to control the thickness of the thin film section, ion-implantation layer thickness etc. takes cautions.

[0075] Although ion-implantation layer thickness cannot be defined strictly, the half-value width to the peak value of the number of pouring ion of drawing 2 etc. may become one standard, for example. It becomes easy to control the thickness of the above-mentioned thin film section, so that this ion-implantation layer thickness is made thin. Therefore, meanses, such as maintaining the pouring energy (acceleration voltage) of ion at constant value as much as possible, become effective, when controlling the thickness of the thin film section correctly.

[0076] In addition, in each example after the 1st above-mentioned example, you may use Al_x Ga_{1-x} N (0 < x < 1) etc. as a crystalloid material B which forms a reaction prevention layer. The operation and effect as the above-mentioned example and abbreviation that such crystalloid material B is also the

same are acquired. Generally carbonization silicon (SiC), aluminium nitride (AlN), a spinel (MgAl₂O₄), or an aluminum composition ratio can use at least 0.30 or more AlGaInN, or AlGaInN more as a crystalloid material B which forms a reaction prevention layer.

[0077] Moreover, the semiconducting crystal A which forms the target semiconductor substrate is not limited to a gallium nitride (GaN), and can choose arbitrarily the aforementioned general "III group nitride system compound semiconductor." Moreover, the target semiconductor substrate (semiconducting crystal A) is good also as what has multilayer structure.

[0078] That is, this invention does not have a special limit in the kind (quality of the material) of semiconducting crystal of a ground substrate or the purpose, and can be applied to hetero-epitaxial growth of well-known or arbitrary kinds including the arbitrary combination of the above-mentioned ground substrate and each material of a semiconducting crystal.

[0079] Moreover, in the above-mentioned example, although the organometallic compound vapor growth (the MOVPE method) was used, the crystal growth of this invention can be carried out by the halide vapor growth (the HVPE method) etc.

[0080] Furthermore, although the method using a semiconducting crystal A as a crystal-growth substrate of a semiconductor device was illustrated in the above-mentioned example after separating the ground substrate and performing wreckage removal, you may use the process which performs these separation and wreckage removal as a semiconductor device, especially not carrying [carrying out after carrying out the laminating of the own semiconductor layer of a semiconductor device, or] out a partition stage etc.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. *** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The typical cross section in the manufacturing process of the semiconducting crystal which explains the fundamental concept of this invention in instantiation.

[Drawing 2] The graph which illustrates the number of pouring ion to the depth into which ion is poured (density).

[Drawing 3] The graph which illustrates the depth (depth [of the maximum density] h) into which the ion to the pouring energy of ion is poured.

[Drawing 4] The typical cross section which illustrates the conventional semiconducting crystal which carried out the crystal growth on Si substrate (ground substrate).

[Description of Notations]

A — Semiconducting crystal (the target semiconductor substrate)

B — Reaction prevention layer (crystalloid material)

D — Silicon substrate (ground substrate)

D1 — The thin film section of silicon-substrate D

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-299254
(P2002-299254A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) Int.Cl.⁷

識別記号

F I

テ-マ-ト (参考)

H 0 1 L 21/205

H 0 1 L 21/205

4 G 0 7 7

C 3 0 B 29/38

C 3 0 B 29/38

D 5 F 0 4 5

審査請求 未請求 請求項の数14 O L (全 10 頁)

(21) 出願番号 特願2001-99211 (P2001-99211)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000003609

株式会社豊田中央研究所

愛知県愛知郡長久手町大字長湫字横道41番
地の1

(71) 出願人 000241463

豊田合成株式会社

愛知県西春日井郡春日町大字落合字長畑1
番地

(74) 代理人 100087723

弁理士 藤谷 修

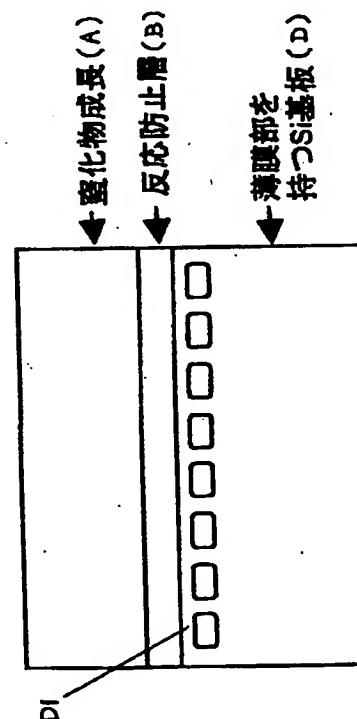
最終頁に続く

(54) 【発明の名称】 半導体基板の製造方法及び半導体素子

(57) 【要約】

【課題】 比較的安価なシリコンを下地基板として用い、転位が少なく、クラックや多結晶塊 (高温反応部) のない高品質の半導体結晶を効率よく生産する。

【解決手段】 反応防止層 (晶質材料B) は、Siと例えばGa₂N等の窒化ガリウム系の半導体 (半導体結晶A) との反応を防止する。下地基板 (Si基板) 上に半導体結晶Aよりも融点又は耐熱性が高い例えばSiCやAlN等より成る反応防止層を成膜すれば、結晶Aを長時間高温で結晶成長させる場合においても、シリコン界面付近に高温反応部が形成されない。また、空洞や薄膜部により、反応防止層に作用する応力が緩和される。このため、縦方向に貫通したクラックの無い反応防止層が形成でき、下地基板と半導体結晶Aとをより確実に遮断することができるので、高温反応部の発生をより確実に防止することができる。更に、この応力緩和作用により半導体結晶Aの転位密度も低く抑制できる。



【特許請求の範囲】

【請求項1】 シリコン（Si）より形成された下地基板の上に III 族窒化物系化合物半導体から成る半導体結晶 A を成長させることにより、半導体基板を得る方法であつて、

前記下地基板の結晶成長面の直下に空洞を設けることにより、前記下地基板の前記結晶成長面をシリコン（Si）より成る薄膜部で構成する薄膜部形成工程と、前記薄膜部上に前記半導体結晶 A よりも融点又は耐熱性が高い晶質材料 B より成る反応防止層を積層する反応防止層形成工程と、

前記反応防止層の上に前記半導体結晶 A を成長させる結晶成長工程とを有することを特徴とする半導体基板の製造方法。

【請求項2】 前記半導体結晶 A は、組成式が「 $Al_x Ga_y In_{(1-x-y)} N$ （ $0 \leq x < 1$ ， $0 < y \leq 1$ ， $x + y \leq 1$ ）」を満たす III 族窒化物系化合物半導体から成ることを特徴とする請求項 1 に記載の半導体基板の製造方法。

【請求項3】 前記反応防止層を形成する前記晶質材料 B は、炭化シリコン（SiC）、窒化アルミニウム（AlN）、又はスピネル（ $MgAl_2O_4$ ）より成ることを特徴とする請求項 1 又は請求項 2 に記載の半導体基板の製造方法。

【請求項4】 前記反応防止層を形成する前記晶質材料 B は、アルミニウム組成比が少なくとも 0.30 以上の $AlGa$ N、 $AlIn$ N、或いは $AlGaIn$ N より成ることを特徴とする請求項 1 又は請求項 2 に記載の半導体基板の製造方法。

【請求項5】 前記反応防止層の膜厚を $0.1 \mu m$ 以上、 $2 \mu m$ 以下に形成することを特徴とする請求項 1 乃至請求項 4 の何れか 1 項に記載の半導体基板の製造方法。

【請求項6】 前記反応防止層形成工程後、前記反応防止層の表面に「 $Al_x Ga_{1-x} N$ （ $0 < x \leq 1$ ）」より成るバッファ層 C を形成する工程を有することを特徴とする請求項 1 乃至請求項 5 の何れか 1 項に記載の半導体基板の製造方法。

【請求項7】 前記バッファ層 C の膜厚を $0.01 \mu m$ 以上、 $1 \mu m$ 以下に形成することを特徴とする請求項 6 に記載の半導体基板の製造方法。

【請求項8】 前記半導体結晶 A と前記下地基板とを冷却または加熱することにより、前記半導体結晶 A と前記下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して前記空洞の側壁を破断することにより、前記半導体結晶 A と前記下地基板とを分離する分離工程を有することを特徴とする請求項 1 乃至請求項 7 の何れか 1 項に記載の半導体基板の製造方法。

【請求項9】 前記結晶成長工程において、

前記半導体結晶 A を $50 \mu m$ 以上積層することを特徴とする請求項 1 乃至請求項 8 の何れか 1 項に記載の半導体基板の製造方法。

【請求項10】 前記薄膜部形成工程は、前記下地基板を構成するシリコン結晶に、上方が開いた前記空洞を物理的又は化学的エッチング処理により設ける凹部形成工程を有し、

$1000^\circ C \sim 1350^\circ C$ の熱処理に基づく前記下地基板の表面付近のマイグレーション作用により、前記空洞及び前記薄膜部を形成することを特徴とする請求項 1 乃至請求項 9 の何れか 1 項に記載の半導体基板の製造方法。

【請求項11】 前記薄膜部形成工程は、前記薄膜部を提供するシリコン結晶にイオンを注入するイオン注入工程と、前記下地基板の前記薄膜部以外の部分を構成するシリコン結晶に、上方が開いた前記空洞を物理的又は化学的エッチング処理により設ける凹部形成工程と、熱処理により、前記薄膜部を前記凹部に接合する接合工程と、前記イオンの注入部を分離境界面として前記薄膜部を剥離する剥離工程とを有することを特徴とする請求項 1 乃至請求項 9 の何れか 1 項に記載の半導体基板の製造方法。

【請求項12】 前記薄膜部形成工程において形成される前記空洞の高さを $0.1 \mu m$ 以上、 $10 \mu m$ 以下としたことを特徴とする請求項 1 乃至請求項 11 の何れか 1 項に記載の半導体基板の製造方法。

【請求項13】 請求項 1 乃至請求項 12 の何れか 1 項に記載の半導体基板の製造方法を用いて製造された、前記半導体基板を結晶成長基板として有することを特徴とする III 族窒化物系化合物半導体素子。

【請求項14】 請求項 1 乃至請求項 12 の何れか 1 項に記載の半導体基板の製造方法を用いて製造された、前記半導体基板を結晶成長基板とした結晶成長により製造されたことを特徴とする III 族窒化物系化合物半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリコン（Si）より形成された下地基板の上に III 族窒化物系化合物半導体から成る結晶を成長させることにより、半導体基板を得る方法に関する。また、本発明は、この様な半導体基板を結晶成長基板として製造される III 族窒化物系化合物半導体素子に関する。

【0002】

【従来の技術】図 4 に、Si 基板（下地基板）上に結晶成長した従来の半導体結晶の模式的な断面図を例示する。この結晶成長工程には、MOCVD 法が採用された。本図 4 に例示する様に、従来の技術により Si 基板（下地基板）上に高温成長した半導体結晶（GaN 結晶

等)には、「反応部」や転位、クラック等が生じている。

【0003】

【発明が解決しようとする課題】転位やクラックは、異種材料間における熱膨張係数差や格子定数差に基づいて発生した応力が作用した結果生じたものであり、このような結晶成長基板で各種の半導体デバイスを製造した場合、デバイス特性の劣化を引き起こす。また、例えばシリコン(Si)等から成る下地基板を除去し、成長層のみを残して、独立した基板(結晶)を得ようとする場合、上記の転位やクラック等の作用により、大面積(1 cm²以上)のものを得ることは殆ど不可能である。

【0004】また、目的の半導体基板(半導体結晶A)の結晶成長温度である1000℃~1150℃付近では、シリコン(Si)と窒化ガリウム(GaN)とが反応し、多結晶のGaN(図中の「反応部」)を形成してしまうことがある。このため、高温の結晶成長過程を経て単結晶のGaN基板を得ることが容易でない等の問題がある。

【0005】また、単結晶のGaN基板を得るために、上記の応力が生じにくいシリコンの薄膜を単独で結晶成長基板とした方法も報告されているが、これらの薄膜は破損し易いので、結晶成長開始前に薄膜を直接ハンドリングすることは容易でなく、従ってこれらの従来の方法では、大面積の半導体基板を歩留り良く量産することは困難である。

【0006】本発明は、上記の課題を解決するために成されたものであり、その目的は、比較的安価なシリコン(Si)を下地基板として用いて、クラックや多結晶塊(反応部)のない高品質の半導体結晶を効率よく生産することである。また、本発明の更なる目的は、高品質に製造された上記の半導体結晶を結晶成長基板として用いることにより、高品質の半導体デバイスを製造することである。

【0007】

【課題を解決するための手段、並びに、作用及び発明の効果】上記の課題を解決するためには、以下の手段が有効である。即ち、本発明の第1の手段は、シリコン(Si)より形成された下地基板上にIII族窒化物系化合物半導体から成る半導体結晶Aを成長させる、半導体基板の製造工程において、上記の下地基板の結晶成長面の直下に空洞を設けることにより下地基板の結晶成長面をシリコン(Si)より成る薄膜部で構成する薄膜部形成工程と、薄膜部上に半導体結晶Aよりも融点又は耐熱性が高い品質材料Bより成る反応防止層を積層する反応防止層形成工程と、反応防止層の上に半導体結晶Aを成長させる結晶成長工程とを設けることである。

【0008】ただし、上記の半導体結晶Aから構成される上記の半導体基板は、単層構造であっても複層構造(多層構造)であっても良い。また、ここで言う「III

族窒化物系化合物半導体」一般には、2元、3元、又は4元の「Al_xGa_yIn_(1-x-y)N(0≤x≤1, 0≤y≤1, 0≤x+y≤1)」成る一般式で表される任意の混晶比の半導体が含まれ、更に、p型或いはn型の不純物が添加された半導体も、本明細書の「III族窒化物系化合物半導体」の範疇とする。また、上記のIII族元素(Al, Ga, In)の内の一部をボロン(B)やタリウム(Tl)等で置換したり、或いは、窒素(N)の一部をリン(P)、砒素(As)、アンチモン(Sb)、ビスマス(Bi)等で置換したりした半導体等もまた、本明細書の「III族窒化物系化合物半導体」の範疇とする。

【0009】また、上記のp型の不純物としては、例えば、マグネシウム(Mg)や、或いはカルシウム(Ca)等を添加することができる。また、上記のn型の不純物としては、例えば、シリコン(Si)や、硫黄(S)、セレン(Se)、テルル(Te)、或いはゲルマニウム(Ge)等を添加することができる。また、これらの不純物は、同時に2元素以上を添加しても良いし、同時に両型(p型とn型)を添加しても良い。

【0010】図1は、本発明の基本概念を例示的に説明する半導体結晶の製造工程における模式的な断面図である。この反応防止層は、Siと窒化ガリウム系の半導体(半導体結晶A)との反応を防止するためのものであり、この様に、下地基板(Si基板)上に窒化ガリウム系の半導体よりも融点又は耐熱性が高い例えばSiCやAlN等より成る反応防止層(品質材料B)を成膜することにより、窒化ガリウム系の半導体(半導体結晶A)を長時間高温で結晶成長させる場合においても、シリコン界面付近に前記の「反応部」が形成されることが無くなる。

【0011】また、空洞を形成することにより、シリコン(Si基板)の結晶成長面側に薄膜が形成されるので、反応防止層に作用する応力が緩和され、これらの応力は反応防止層にクラックを形成する様には働き難くなり、よって、反応防止層には縦方向に貫通したクラックが発生し難くなる。このため、縦方向に貫通したクラックの無い反応防止層で、下地基板(Si基板)と窒化ガリウム系の半導体(半導体結晶A)とをより確実に遮断することができるので、上記の様な「反応部」の発生をより確実に防止することができる。

【0012】また、上記の薄膜部或いは空洞により「下地基板と半導体基板の間の格子定数差に基づく応力」が緩和されるため、半導体基板(所望の半導体結晶A)を成長させる際に、成長中の半導体基板に働く不要な応力が抑制されて転位やクラックの発生密度が低減される。即ち、以上の応力緩和作用により、窒化ガリウム系の半導体(半導体結晶A)には転位が発生し難くなり、また、クラックの発生密度も格段に削減できる。

【0013】以上の作用と相乗効果により、上記の「反

底部」やクラックの無い、転位密度の十分抑制された高品質の半導体基板（半導体結晶A）を得ることが可能又は容易となる。

【0014】また、第2の手段は、上記の第1の手段において、上記の半導体結晶Aを、組成式が「 $Al_x Ga_y In_{(1-x-y)} N$ ($0 \leq x < 1$, $0 < y \leq 1$, $x+y \leq 1$)」を満たすIII族窒化物系化合物半導体から構成することである。

【0015】また、第3の手段は、上記の第1又は第2の手段において、上記の反応防止層を形成する晶質材料Bを、炭化シリコン（SiC）、窒化アルミニウム（AlN）、またはスピネル（ $MgAl_2O_4$ ）より構成することである。

【0016】また、第4の手段は、上記の第1又は第2の手段において、上記の反応防止層を形成する晶質材料Bを、アルミニウム組成比が少なくとも0.30以上の $AlGaInN$ 、 $AlInN$ 、或いは $AlGaInN$ より構成することである。また、更には、晶質材料Bとしては、結合力の比較的強固な耐熱性（融点）の高い安定した材料を選択することが望ましい。

【0017】また、第5の手段は、上記の第1乃至第4の何れか1つの手段において、上記の反応防止層の膜厚を $0.1 \mu m$ 以上、 $2 \mu m$ 以下に形成することである。この厚さが薄過ぎると、膜厚にはムラが伴うため、或いは、反応防止層を形成する上記の晶質材料Bも十分には安定な物質ではないため、ガリウム（Ga）若しくは窒化ガリウム（GaN）とシリコン（Si）とを完全には遮断することができなくなる。従って、これらの反応に基づく「反応部（多結晶のGaN）」の形成を防止する効果が十分には得られなくなる。

【0018】また、反応防止層の膜厚が厚過ぎると、反応防止層にクラックが入り易くなり、ガリウム（Ga）若しくは窒化ガリウム（GaN）とシリコン（Si）とを完全には遮断することができなくなる。従って、これらの反応に基づく「反応部」の形成を防止する効果が十分には得られなくなる。また、反応防止層の膜厚が厚過ぎると、その分だけ反応防止層の積層時間や積層材料が余計に必要となるので、生産コスト等の面でも望ましくない。

【0019】また、第6の手段は、上記の第1乃至第5の何れか1つの手段の反応防止層形成工程後において、反応防止層の表面に「 $Al_x Ga_{1-x} N$ ($0 < x \leq 1$)」より成るバッファ層Cを形成する工程を設けることである。

【0020】ただし、上記のバッファ層Cとは、凡そ $100^\circ C$ 付近で成長する AlN や $AlGaInN$ 等の半導体層のことであり、このバッファ層Cとは別に、更に、上記のバッファ層Cと略同組成（例： AlN や、 $AlGaInN$ ）の中間層（以下、単に「バッファ層」と言う場合がある。）を目的の半導体基板（半導体結晶A）中に、周

期的に、又は他の層と交互に、或いは、多層構造が構成される様に積層しても良い。

【0021】これらのバッファ層（或いは、中間層）の積層により、格子定数差に起因する半導体基板（成長層）に働く応力を緩和できる等の従来と同様の作用原理により、結晶性を向上させることが可能となる。また、この様な作用・効果は、反応防止層を構成する晶質材料Bが炭化シリコン（SiC）等の場合に、特に顕著である。即ち、この場合には、反応防止層の上にバッファ層Cを成膜することがより望ましい。

【0022】また、第7の手段は、上記の第6の手段において、バッファ層Cの膜厚を $0.01 \mu m$ 以上、 $1 \mu m$ 以下に形成することである。より望ましくは、 $0.02 \mu m$ 以上、 $0.5 \mu m$ 以下が良い。

【0023】この膜厚が厚過ぎると、クラックが発生し易くなり、また、製造時間、材料などの面でもコストアップにつながり望ましくない。また、この膜厚を薄くし過ぎると、略均一にバッファ層を成膜することが困難となる。このため、バッファ層の成膜ムラ（十分に成膜されない部位）が生じ易くなり、結晶性にもムラが生じ易くなるので望ましくない。

【0024】また、第8の手段は、上記の第1乃至第7の何れか1つの手段において、半導体結晶Aと下地基板とを冷却または加熱することにより半導体結晶Aと下地基板との熱膨張係数差に基づく応力を発生させ、この応力を利用して空洞の側壁を破断することにより半導体結晶Aと下地基板とを分離する分離工程を設けることである。

【0025】例えば、半導体基板（半導体結晶A）を十分に厚くすれば、内部応力または外部応力が上記の空洞の側壁に集中的に作用し易くなる。その結果、特にこれらの応力は、空洞の側壁に対する剪断応力等として作用し、この応力が大きくなった時に、薄膜部が剥離する。従って、この応力を利用すれば、容易に下地基板と半導体基板とを分離することが可能となる。また、上記の「空洞」が大きく形成される程、空洞の側壁に応力（剪断応力）が集中し易くなる。即ち、上記の第9の手段によれば、上記の応力を容易に生成することができるため、半導体結晶Aと下地基板とを容易に分離することができる。

【0026】尚、下地基板と半導体基板とを分離（剥離）する際に、半導体基板側に下地基板の一部（薄膜部や空洞の側壁の破断残骸など）が残っても良い。即ち、上記の分離工程は、これらの材料の一部を皆無とする様な各材料の完全な分離を前提（必要条件）とするものではない。この様な破断残骸等の除去は、必要に応じてラッピングやエッチング等の周知の手段を用いて実施することができる。

【0027】また、第9の手段は、上記の第1乃至第8の何れか1つの手段の結晶成長工程において、半導体結

晶Aを $50\mu\text{m}$ 以上積層することである。この厚さが厚い程、半導体基板（半導体結晶A）に対する引っ張り応力が緩和されて、半導体基板の転位やクラックの発生密度を減少でき、同時に半導体基板を強固にできるため、上記の応力を上記の側壁に集中させ易くなる。

【0028】また、薄膜部の厚さは、 $20\mu\text{m}$ 以下が望ましい。この厚さが薄い程、半導体基板（半導体結晶A）に対する引っ張り応力が緩和されて、半導体基板の転位やクラックの発生密度が減少する。ただし、薄膜部の厚さを $0.02\mu\text{m}$ 未満とすると、薄膜部の強度に問題が生じ、高い生産性を維持することが難しくなる。したがって、製造する結晶成長基板の品質と生産性を確保するためには、薄膜部の厚さは、 $0.02\mu\text{m}$ 以上 $20\mu\text{m}$ 以下が望ましい。

【0029】また、相対的には、結晶成長させる目的の半導体結晶の厚さは、薄膜部の厚さと略同等以上とすることが望ましい。この様な設定により、所望の半導体結晶に対する応力が緩和され易くなり、転位やクラックの発生を従来よりも大幅に抑制することが可能となる。この応力緩和効果は、目的の半導体結晶を相対的に厚くする程大きくなる。また、この応力緩和効果は、薄膜部の厚さ等にも依存するが、薄膜部の厚さが $20\mu\text{m}$ 以下の場合には、約 $50\sim 200\mu\text{m}$ 程度で略飽和する。

【0030】また、第10の手段は、上記の第1乃至第9の何れか1つの手段の薄膜部形成工程において、下地基板を構成するシリコン結晶に、上方が開いた空洞を物理的又は化学的エッチング処理により設ける凹部形成工程を設け、 $1000^{\circ}\text{C}\sim 1350^{\circ}\text{C}$ の熱処理に基づく下地基板の表面付近のマigreション作用により、空洞及び薄膜部を形成することである。

【0031】また、第11の手段は、上記の第1乃至第9の何れか1つの手段の薄膜部形成工程において、薄膜部を提供するシリコン結晶にイオンを注入するイオン注入工程と、下地基板の薄膜部以外の部分を構成するシリコン結晶に、上方が開いた空洞を物理的又は化学的エッチング処理により設ける凹部形成工程と、熱処理により、薄膜部を凹部に接合する接合工程と、イオンの注入部を分離境界面として薄膜部を剥離する剥離工程とを設けることである。

【0032】本発明の「薄膜部形成工程」は、少なくとも、上記の第10又は第11の手段により、十分に具体的に実施することが可能又は容易である。ただし、本発明の「薄膜部形成工程」は、これらの手段に限定して実施しなければならないものではなく、その他の任意の適当な方法により実施しても良い。その様な場合においても、本発明の作用・効果を一定以上に得ることが可能である。

【0033】また、第12の手段は、上記の第1乃至第11の何れか1つの手段の薄膜部形成工程において形成される上記の空洞の高さを $0.1\mu\text{m}$ 以上、 $10\mu\text{m}$ 以下

とすることである。より望ましくは、この空洞の高さは $0.5\sim 5\mu\text{m}$ 程度が良い。この値が大き過ぎると、空洞を構成する穴、溝、又は空洞を支える柱の形成が強度的に不安定となるか、或いは、加工が徐々に困難又は非効率となるので、望ましくない。また、加工時間も長くなり生産性が向上しない。また、この値が小さ過ぎると、薄膜部が空洞の底面と結合し易くなり、確実に空洞を形成できなくなるので、望ましくない。

【0034】また、第13の手段は、III族窒化物系化合物半導体素子において、上記の第1乃至第12の何れか1つの手段により製造された半導体基板を結晶成長基板として備えることである。この手段によれば、結晶性が良質で、内部応力の少ない半導体より、III族窒化物系化合物半導体素子を製造することが可能又は容易となる。

【0035】また、第14の手段は、上記の第1乃至第12の何れか1つの手段により製造された半導体基板を結晶成長基板として用いた結晶成長によりIII族窒化物系化合物半導体素子を製造することである。この手段によれば、結晶性が良質で、内部応力の少ない半導体より、III族窒化物系化合物半導体素子を製造することが可能又は容易となる。以上の本発明の手段により、前記の課題を効果的、或いは合理的に解決することができる。

【0036】

【発明の実施の形態】本発明を実施するに当り、次の中から個々の製造条件をそれぞれ任意に選択しても良い。また、これらの各製造条件は、任意に組み合わせても良い。まず、最初に、III族窒化物系化合物半導体層を形成する方法としては、有機金属気相成長法（MOCVD又はMOVPE）が好ましい。しかしながら、分子線気相成長法（MBE）、ハライド気相成長法（Halide VPE）、液相成長法（LPE）等を用いても良く、また、各層を各々異なる成長方法で形成しても良い。

【0037】また、バッファ層については、格子不整合を是正する等の理由から、結晶成長基板中、或いは下地基板等に形成することが好ましい。特に、半導体基板（半導体結晶A）中にバッファ層（前記の中間層）を積層する場合、これらのバッファ層としては、低温で形成させたIII族窒化物系化合物半導体 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0\leq x\leq 1$, $0\leq y\leq 1$, $0\leq x+y\leq 1$)、より好ましくは $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0\leq x\leq 1$)を用いることができる。このバッファ層は単層でも良く、組成等の異なる多重層としても良い。バッファ層の形成方法は、 $380\sim 420^{\circ}\text{C}$ の低温で形成するものでも良く、逆に $1000\sim 1180^{\circ}\text{C}$ の範囲で、MOCVD法で形成しても良い。また、DCマグネトロンスパッタ装置を用いて、高純度金属アルミニウムと窒素ガスを原材料として、リアクティブスパッタ法によりAlNから成るバッファ層を形成することもできる。

【0038】同様に一般式 $\text{Al}_x\text{Ga}_y\text{In}_{1-x-y}\text{N}$ ($0\leq x\leq 1$, 0

$\leq y \leq 1$, $0 \leq x+y \leq 1$, 組成比は任意) のバッファ層を形成することができる。更には蒸着法、イオンプレーティング法、レーザアブレーション法、ECR法を用いることができる。物理蒸着法によるバッファ層は、200~600℃で行うのが望ましい。さらに望ましくは300~600℃であり、さらに望ましくは350~450℃である。これらのスパッタリング法等の物理蒸着法を用いた場合には、バッファ層の厚さは、100~3000Åが望ましい。さらに望ましくは、100~400Åが望ましく、最も望ましくは、100~300Åである。

【0039】多重層としては、例えば $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$) から成る層とGaN層とを交互に形成する、組成の同じ層を形成温度を例えば600℃以下と1000℃以上として交互に形成するなどの方法がある。勿論、これらを組み合わせても良く、多重層は3種以上のIII族窒化物系化合物半導体 $Al_xGa_yIn_{1-x-y}N$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$) を積層しても良い。一般的には緩衝層は非晶質であり、中間層は単結晶である。緩衝層と中間層を1周期として複数周期形成しても良く、繰り返しは任意周期で良い。繰り返しは多いほど結晶性が良くなる。

【0040】バッファ層及び上層のIII族窒化物系化合物半導体は、III族元素の組成の一部は、ボロン(B)、タリウム(Tl)で置き換えても、また、窒素(N)の組成一部をリン(P)、ヒ素(As)、アンチモン(Sb)、ビスマス(Bi)で置き換えても本発明を実質的に適用できる。また、これら元素を組成に表示できない程度のドーパをしたものでも良い。例えば組成にインジウム(In)、ヒ素(As)を有しないIII族窒化物系化合物半導体である $Al_xGa_{1-x}N$ ($0 \leq x \leq 1$) に、アルミニウム(Al)、ガリウム(Ga)よりも原子半径の大きなインジウム(In)、又は窒素(N)よりも原子半径の大きなヒ素(As)をドーパすることで、窒素原子の抜けによる結晶の拡張歪みを圧縮歪みで補償し結晶性を良くしても良い。

【0041】この場合はアクセプタ不純物がIII族原子の位置に容易に入るため、p型結晶をアズグロウンで得ることもできる。このようにして結晶性を良くすることで本発明と合わせて更に貫通転位を100乃至1000分の1程度にまで下げることができる。バッファ層とIII族窒化物系化合物半導体層とが2周期以上で形成されている基底層の場合、各III族窒化物系化合物半導体層に主たる構成元素よりも原子半径の大きな元素をドーパすると更に良い。なお、発光素子として構成する場合は、本来III族窒化物系化合物半導体の2元素、若しくは3元素を用いることが望ましい。

【0042】n型のIII族窒化物系化合物半導体層を形成する場合には、n型不純物として、Si、Ge、Se、Te、C等IV族元素又はVI族元素を添加することができる。また、p型不純物としては、Zn、Mg、Be、Ca、Sr、Ba等II族元素又はIV族元素を添加することができる。これらを複数或いはn型不純物とp型不純物を同一層にドーパし

ても良い。

【0043】横方向エピタキシャル成長を用いてIII族窒化物系化合物半導体層の転位を減じること任意である。この際、マスクを用いるもの、エッチングにより段差を埋めるもの任意の方法を取ることができる。

【0044】エッチングマスクは、多結晶シリコン、多結晶窒化物半導体等の多結晶半導体、酸化珪素(SiO_2)、窒化珪素(SiN_x)、酸化チタン(TiO_x)、酸化ジルコニウム(ZrO_x)等の酸化物、窒化物、チタン(Ti)、タングステン(W)のような高融点金属、これらの多層膜をもちいることができる。これらの成膜方法は蒸着、スパッタ、CVD等の気相成長法他、任意である。

【0045】エッチングをする際には、反応性イオンビームエッチング(RIBE)が望ましいが、任意のエッチング方法を用いることができる。基板面に垂直な側面を有する段差を形成するのでないものとして、異方性エッチングにより例えば段差の底部に底面の無い、断面がV字状のものを形成しても良い。

【0046】III族窒化物系化合物半導体にFET、発光素子等の半導体素子を形成することができる。発光素子の場合、発光層は多重量子井戸構造(MQW)、単一量子井戸構造(SQW)の他、ホモ構造、ヘテロ構造、ダブルヘテロ構造のものが考えられるが、pin接合或いはpn接合等により形成しても良い。

【0047】以下、本発明を具体的な実施例に基づいて説明する。ただし、本発明は以下に示す実施例に限定されるものではない。

(第1実施例) 以下、本発明の実施例における半導体結晶(結晶成長基板)の製造手順の概要を例示する。

【0048】(1) 薄膜部形成工程

本製造工程は、下地基板を構成するシリコン結晶に、上方が開いた空洞を物理的又は化学的エッチング処理により設ける凹部形成工程を設け、更にその後、1000℃~1200℃の熱処理に基づく下地基板の表面付近のマイグレーション作用により、空洞及び薄膜部を形成するものである。

【0049】(a) シリコン基板上的凹部形成

Si(111)基板にプラズマCVD装置を用いて、 SiO_2 膜を約1μm成膜し、 SiO_2 膜の一部とSi基板とをフォトリソグラフィーとRIEによりパターンニング及びエッチングして、Si(111)基板表面に直径約0.8μm、深さ約3μmの穴を多数1.2μm周期(間隔)で作製する。その後、上記の SiO_2 膜をB-HFで除去する。

【0050】(b) マイグレーション

次に、この凹部が形成されたSi基板を H_2 雰囲気中で、1100℃で熱処理することによって、基板表面でSi原子をマイグレーションさせて、膜厚約1μmの薄膜部(メンブレン)を凹部上方に形成する。即ち、この薄膜部D1で上記の凹部の上方を閉じることにより、図

1に例示される様な多数の空洞を形成する。その後、得られた基板を1150℃でwet酸化させることにより、表面をSiO₂に変化させ、残るSi薄膜部の膜厚を0.1μm程度にする。

【0051】(c) 洗浄

その後、上記のSiO₂膜をバッファードフッ酸で除去する。以上の工程(a)～(c)により、図1に例示する様な空洞と薄膜部D1を有するSi基板Dを製造した。

【0052】(2) 反応防止層形成工程

本反応防止層形成工程は、上記の薄膜部D1を有する下地基板(Si基板D)上に反応防止層を積層する製造工程である。本反応防止層形成工程では、まず最初に、Si(111)基板の結晶成長面(薄膜部D1)上に気相成長法(MOVPE)により、約1100℃で窒化アルミニウム(AlN)より成る反応防止層Bを約1μm成膜する。

【0053】(3) 結晶成長工程

その後、本結晶成長工程では、上記の反応防止層Bの上に、半導体結晶A(GaN)が200μm程度の厚膜に成長するまでの成長工程を有機金属化合物気相成長法(MOVPE法)に従って実施する。尚、本結晶成長工程では、アンモニア(NH₃)ガス、キャリアガス(H₂, N₂)、トリメチルガリウム(Ga(CH₃)₃)ガス(以下「TMG」と記す)、及びトリメチルアルミニウム(Al(CH₃)₃)ガス(以下「TMA」と記す)を用いる。

【0054】上記の反応防止層Bの上に、MOVPE法に従って、GaN層(半導体結晶A)を約200μm程度結晶成長させた。このMOVPE法におけるGaN層の結晶成長速度は、凡そ30μm/Hr程度である。

【0055】(4) 分離工程

(a) 上記の結晶成長工程の後、アンモニア(NH₃)ガスを結晶成長装置の反応室に流したまま、下地基板(Si基板)を有するウェハを略常温まで冷却する。この時の冷却速度は、概ね「-50℃/min～-5℃/min」程度とすれば良い。

【0056】(b) その後、これらを結晶成長装置の反応室から取り出すと、下地基板(Si基板)から剥離したGaN結晶(半導体結晶A)が得られた。ただし、この結晶は、GaN層(半導体基板)の裏面に、薄膜部D1や上記の空洞の側壁の破断残骸とが残留したままのものである。

【0057】(5) 残骸除去工程

上記の分離工程の後、ラッピング処理により、GaN結晶の裏面に残ったSiより成る薄膜部D1や上記の空洞の側壁の破断残骸を除去する。ただし、本残骸除去工程は、フッ酸に硝酸を加えた混合液等を用いたエッチング処理により実施しても良い。また、反応防止層Bまでを除去しても良い。

【0058】以上の製造方法により、膜厚約200μm

の結晶性の非常に優れた良質のGaN結晶(GaN層)、即ち、下地基板から独立した所望の半導体基板(半導体結晶A)を得ることができる。即ち、以上の半導体結晶の製造方法により、従来よりも結晶性に優れた、GaN多結晶(反応部)やクラックのない窒化ガリウム(GaN)の単結晶を得ることができる。

【0059】従って、この様な良質の単結晶を、例えば結晶成長基板等の半導体発光素子の一部として用いれば、発光効率が高いか、或いは駆動電圧が従来よりも抑制された、高品質の半導体発光素子や半導体受光素子等の半導体製品を製造することが可能又は容易となる。また、この様な良質の単結晶を用いれば、光素子のみならず、耐圧性の高い半導体パワー素子や高い周波数まで動作する半導体高周波素子等の所謂半導体電子素子の製造も、可能又は容易にすることができる。

【0060】尚、反応防止層形成工程と結晶成長工程との間に、格子定数不整合を是正する目的で、1000℃～1180℃程度の高温で結晶成長を行うバッファ層形成工程を設けても良い。

【0061】また、上記の実施例では、図1に例示した様に、下地基板の結晶成長面の近傍に多数の空洞を設けることで、下地基板の薄膜部を形成しているが、これらは一連の空洞から形成しても良い。従って、例えば、1本の管状のトンネル型の空洞を細長く渦巻き状に緻密に形成することにより、本発明の空洞を形成しても良い。前述の図1は、そのように構成された空洞を持つ下地基板の断面図として解釈することも可能である。即ち、下地基板の薄膜部を形成することを目的とした空洞の形成形態については、一般に、その形状、大きさ、間隔、配置、配向等は任意である。

【0062】(第2実施例) 本第2実施例は、上記の第1実施例の薄膜部形成工程を以下の「薄膜部形成工程」に置き換えたものであり、その他の工程については特段変更する必要のないものである。以下、本実施例では、上記の第1実施例とは方法が相異なる「薄膜部形成工程」についてのみ説明する。

【0063】(1) 薄膜部形成工程

本製造工程は、薄膜部を提供するシリコン結晶にイオンを注入するイオン注入工程と、下地基板の薄膜部以外の部分を構成するシリコン結晶に、上方が開いた空洞を物理的又は化学的エッチング処理により設ける凹部形成工程と、熱処理により薄膜部を凹部に接合する接合工程と、イオンの注入部を分離境界面として薄膜部を剥離する剥離工程により、空洞及び薄膜部を形成するものである。

【0064】(a) イオン注入工程

薄膜部D1を提供するシリコン結晶(Si(111)基板)に、水素イオンを入射エネルギー4keV、ドーズ量 $2 \times 10^{16} \sim 1 \times 10^{17}$ [cm⁻²]で注入する。図2は、本第2実施例における、イオンが注入される深さに

対する注入イオン数(密度)を例示したグラフである。本図からも判る様に、シリコン結晶のイオン注入面の近傍には、イオン密度が局所的に高いイオン注入層が形成される。

【0065】(b)凹部形成工程

一方、別のSi(111)基板(図1の符号Dに相当)にプラズマCVD装置を用いて、SiO₂膜を約1μm成膜し、SiO₂膜の一部とSi基板とをフォトリソグラフィとRIEによりパターンニング及びエッチングして、Si基板表面に直径約0.6μm、高さ約3μmの柱を多数約2μm周期(間隔)で作成する。

【0066】(c)接合工程

次に、上記の薄膜部D1を提供するシリコン結晶のイオン注入面を上記のSi基板表面の多数の柱に対して垂直に接合する。

【0067】(d)剥離工程

500℃で熱処理することにより、イオン注入部で上記の薄膜部D1を提供するシリコン結晶を分離させ、上方に薄膜部D1で閉じられた空洞を形成する。

【0068】以上の工程(a)～(d)により、図1に例示する様な空洞と薄膜部D1を有するSi基板Dを製造した。

【0069】以下、上記の第2実施例の実施形態の変形可能な範囲に付いて例示する。例えば、水素イオン(H⁺)の代わりに(He⁺)を用いても、上記の第2実施例と略同様の作用・効果を得ることができる。

【0070】また、水素イオンのドーズ量は、下地基板の材質等にも依存するが、概ね 1×10^{15} [/cm²] ~ 1×10^{20} [/cm²] の範囲において有効で、この条件下において上記と略同様の作用・効果を得ることができる。より望ましくは、水素イオンのドーズ量は、 3×10^{15} ~ 1×10^{17} [/cm²] 程度が良く、更に望ましくは、 8×10^{15} ~ 2×10^{16} [/cm²] 程度が良い。

【0071】また、この値が小さ過ぎると、薄膜部D1を提供するシリコン結晶から薄膜部D1を確実に分離させることが困難となる。また、この値が大き過ぎると、薄膜部D1へのダメージが大きくなり、下地基板から薄膜部D1を略一様な厚さで綺麗につながった形状に分離させることが困難となる。

【0072】また、入射エネルギーを可変として、下地基板から分離する薄膜部の厚さを制御することも可能である。図3に、イオンの注入エネルギーに対するイオンが注入される深さ(最大密度の深さh)の測定結果を例示する。例えば、この様に、イオンが注入される深さ(最大密度の深さh)は、イオンの注入エネルギーに略比例するので、入射エネルギー(加速電圧)を調整することにより、薄膜部の厚さを適当に制御することができる。

【0073】また、イオン注入後に熱処理を行うことにより、予めイオン注入層における部分的な破断部(ボイ

ド)を形成すると同時に、イオン照射によってダメージを受けた下地基板のイオン注入部の結晶性を回復させることができる。また、空洞形成時の薄膜部D1に対する熱処理により、その上に成長する半導体の結晶性を向上させることができる。

【0074】また、薄膜部D1の厚さは、20μm以下が望ましい。この厚さが薄い程、目的の半導体結晶に対する引っ張り応力が緩和されて、転位やクラックの発生密度が減少する。従って、より望ましくは、薄膜部の厚さは2μm以下が良く、更に望ましくは200nm以下が良い。これらの値を実現するためには、前述の図3などに従って、注入イオン数のピークがこの程度の深さになる様にイオンの注入エネルギー(加速電圧)を調整すれば良い。ただし、イオン注入層が厚くなってしまうと、薄膜部の厚さを制御し難くなるため、イオン注入層の厚さ等にも注意を要する。

【0075】イオン注入層の厚さは、厳密には定義できないが、例えば図2の注入イオン数のピーク値に対する半値幅等が1つの目安になり得る。上記の薄膜部の厚さは、このイオン注入層の厚さを薄くする程制御し易くなる。従って、イオンの注入エネルギー(加速電圧)を極力一定値に保つ等の手段が、薄膜部の厚さを正確に制御する上で有効となる。

【0076】尚、上記の第1実施例以降の各実施例において、反応防止層を形成する晶質材料Bとしては、Al_xGa_{1-x}N (0<x<1)等を用いても良い。これらの晶質材料Bでも、上記の実施例と略同様の作用・効果が得られる。より一般には、反応防止層を形成する晶質材料Bとして、炭化シリコン(SiC)、窒化アルミニウム(AlN)、スピネル(MgAl₂O₄)、或いは、アルミニウム組成比が少なくとも0.30以上のAlGaInN、AlInN又はAlGaInNを用いることができる。

【0077】また、目的の半導体基板を形成する半導体結晶Aは、窒化ガリウム(GaN)に限定されるものではなく、前記の一般の「III族窒化物系化合物半導体」を任意に選択することができる。また、目的の半導体基板(半導体結晶A)は、多層構造を有するものとしても良い。

【0078】即ち、本発明は、下地基板や目的の半導体結晶の種類(材質)に特段の制限が無く、前述の下地基板及び半導体結晶の各材料同士の任意の組み合わせを含め、公知或いは任意の種類のヘテロエピタキシャル成長に適用することができる。

【0079】また、上記の実施例においては、有機金属化合物気相成長法(MOVPE法)を用いたが、本発明の結晶成長は、ハライド気相成長法(HVPE法)等によっても実施可能である。

【0080】更に、上記の実施例では、下地基板を分離し、残骸除去を行った上で半導体結晶Aを半導体素子の

結晶成長基板として用いる方法を例示したが、これらの分離や残骸除去を行う工程は、半導体素子自身の半導体層を積層した後に実施しても良いし、或いは、特に分離工程等を実施しないまま、半導体素子として利用しても良い。

【図面の簡単な説明】

【図1】 本発明の基本概念を例示的に説明する半導体結晶の製造工程における模式的な断面図。

【図2】 イオンが注入される深さに対する注入イオン数（密度）を例示するグラフ。

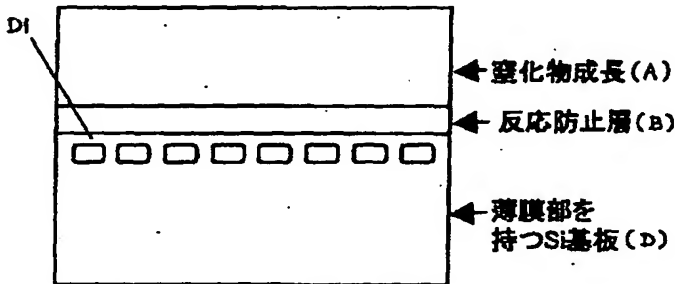
【図3】 イオンの注入エネルギーに対するイオンが注入される深さ（最大密度の深さ h ）を例示するグラフ。

【図4】 Si基板（下地基板）上に結晶成長した従来の半導体結晶を例示する模式的な断面図。

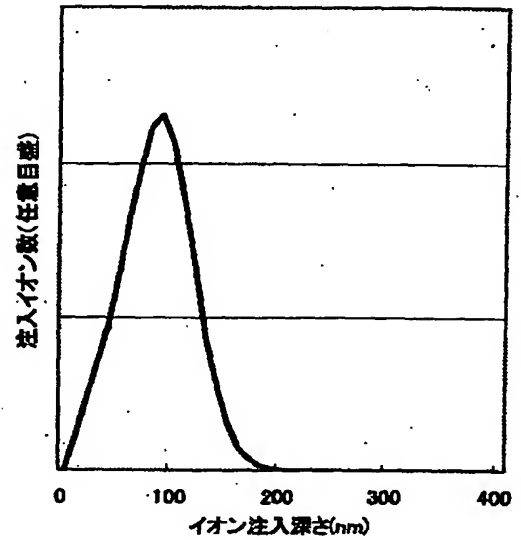
【符号の説明】

- A … 半導体結晶（目的の半導体基板）
- B … 反応防止層（晶質材料）
- D … シリコン基板（下地基板）
- D1 … シリコン基板Dの薄膜部

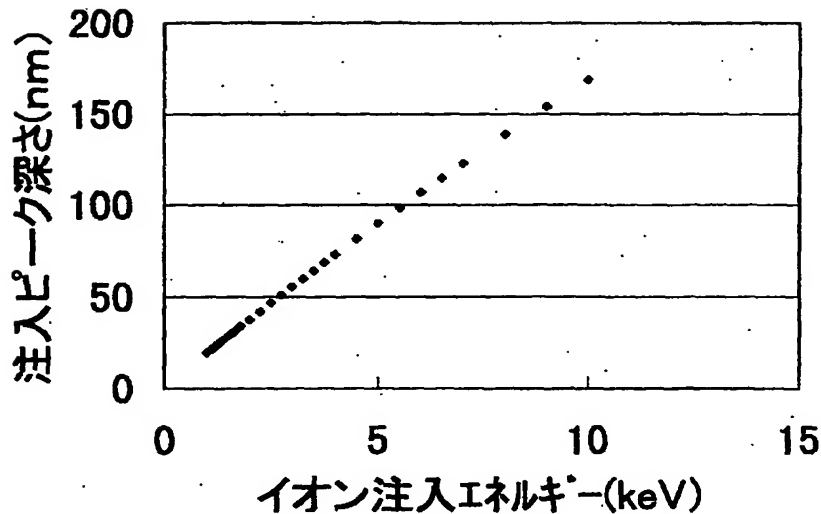
【図1】



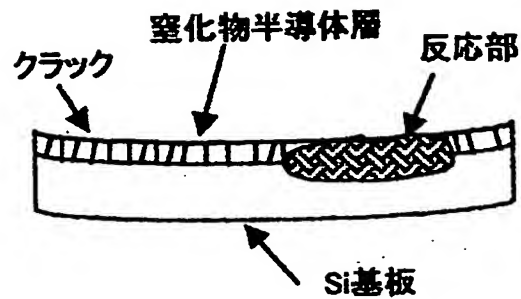
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 永井 誠二
愛知県西春日井郡春日町大字落合字長畑1
番地 豊田合成株式会社内
(72)発明者 富田 一義
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内
(72)発明者 色川 芳宏
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内

(72)発明者 伊藤 健治
愛知県愛知郡長久手町大字長湫字横道41番
地の1 株式会社豊田中央研究所内
Fターム(参考) 4G077 AA03 BE11 BE15 DB08 ED06
EE01 EE06 EF03 FJ03 TK04
TK08 TK10 TK11
5F045 AA04 AA05 AA10 AA18 AA19
AB06 AB09 AB14 AB17 AB18
AB38 AD14 AD15 AF03 BB12
CA09 DA53 DA67 HA01 HA03
HA04 HA05 HA06